

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283302

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H01L 21/76
H01L 21/8238
H01L 27/092
H01L 27/08

(21)Application number : 06-067211

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 05.04.1994

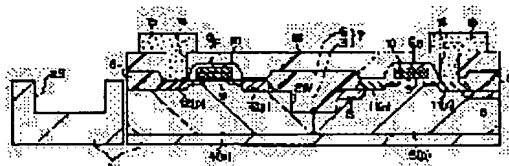
(72)Inventor : KIMURA YOSHITAKA

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the number of manufacturing processes by the process performed for forming a second groove which separates elements from each other by forming the second groove together with a first groove for alignment target in the same process by utilizing the process for forming the first groove.

CONSTITUTION: A first groove 2S for alignment target is formed in a first area on the main surface of the substrate 1 and a second groove 2W for separating elements from each other having a narrower width is formed between a second area 11 and third area 12 adjacent to the area 11 on the main surface of the substrate 1. Then an oxide film 3 is formed on the entire main surface of the substrate 1 by thermal oxidation so that at least the groove 2W can be filled with the film 3. In addition, a well area 4 having a conductivity opposite to that of the substrate 1 is formed in the second area 11 and another well area 5 having the same conductivity as that of the substrate 1 is formed in the third area 12 on the main surface of the substrate 1. Therefore, the number of manufacturing processes can be reduced by the process for forming the groove 2W between the well area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor integrated circuit equipment characterized by providing the following process (1) thru/or a process (3).

- (1) While forming in the 1st field of the principal plane of the 1st conductivity-type semi-conductor substrate the 1st slot for alignment targets formed in the depth direction from the principal plane of said semi-conductor substrate The process at which a flute width forms the 2nd small slot for isolation in the boundary part between each of said 1st field, the 2nd different field, and the 3rd field contiguous to this 2nd field in the principal plane of said semi-conductor substrate compared with said 1st slot.
- (2) The process which forms the thermal oxidation film and embeds said thermal oxidation film to the interior of said 2nd slot at least by thermal oxidation processing all over the principal plane of said semi-conductor substrate.
- (3) The process which forms the 2nd semiconductor region of the 1st conductivity type of the same conductivity type as said semi-conductor substrate in the 3rd field of the principal plane of said semi-conductor substrate while forming the 1st semiconductor region of the 2nd conductivity type of said semi-conductor substrate and opposite conductivity type in the 2nd field of the principal plane of said semi-conductor substrate or forming this 1st semiconductor region in it.

[Claim 2] The process which forms the 1st slot for alignment targets indicated by said claim 1 Are the process which forms the 1st slot in the scribe field of said semi-conductor substrate, and the process which forms said 2nd semiconductor region or the 2nd semiconductor region, and the 3rd semiconductor region the integrated-circuit formation field of said semi-conductor substrate — a well — it being the process which forms a field and the process which forms said 2nd slot for isolation said semi-conductor substrate and a well — between each components of a field which are alike, respectively and are formed, or said two or more wells — the manufacture approach of the semiconductor integrated circuit equipment characterized by being the process which forms the slot which separates electrically between the each components of a field which are alike, respectively and are formed.

[Claim 3] The thermal oxidation processing indicated by said claim 1 or claim 2 is the manufacture approach of the semiconductor integrated circuit equipment characterized by including the processing which removes the damage layer of the principal plane of the semi-conductor substrate accompanying formation of said 1st slot for alignment targets, and the 2nd slot for isolation.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About semiconductor integrated circuit equipment, especially this invention is applied to the separation technology between components of semiconductor integrated circuit equipment, and relates to an effective technique.

[0002]

[Description of the Prior Art] The circuit which integrated a semiconductor device and this semiconductor device is made detailed for the purpose of improvement in a component property, or improvement in a circuit property, and high integration is attained. Insulating separation of between two or more components (active element) is mutually carried out electrically by component separation technology on a semi-conductor substrate (setting during manufacture, after a semiconductor wafer and scribe processing is a semiconductor chip). The important requirements for component separation technology are making area required for separation small to the minimum, and securing the arrangement area of a component effectively on the principal plane of a semi-conductor substrate.

[0003] by the way, semiconductor integrated circuit equipment equipped with the optimal CMOS (complementary MOS FET) for improvement in the speed of a low power and a working speed etc. is shown in drawing 8 (important section sectional view) — as — n mold — a well — a field 4 and p mold — a well — the boundary between each of a field 5 is intervened and between components is separated. concrete — p mold — a well — n⁺ formed in the principal plane of a field 5 the mold semiconductor region (the source field or drain field of n channel MOS FET) 11, and n mold — a well — p⁺ formed in the principal plane of a field 4 Between the mold semiconductor regions (the source field or drain field of p channel MOS FET) 12 intervenes a field insulator layer (thermal oxidation film), and insulating separation is carried out. In drawing 8, a sign 1 is p mold channel stopper field formed in the field which is easy to reverse a p type semiconductor substrate (single crystal silicon substrate) and a sign 8.

[0004] however, this kind of component isolation construction — p mold — a well — a field 5 and n mold — a well — [near / each / the boundary of a field 4], the carrier consistency of a different conductivity type is offset mutually, and a carrier consistency becomes low (a well — the high impurity concentration of a field becomes low). that is, p mold — a well — n⁺ of a field 5 the mold semiconductor region 11 and n mold — a well — p⁺ of a field 4 The insulating separation pressure-proofing between the mold semiconductor regions 12 cannot fully secure. for fully securing insulating separation pressure-proofing — p mold — a well — n⁺ which the plurality of a field 5 adjoins between the mold semiconductor regions 11 or n mold — a well — p⁺ which the plurality of a field 4 adjoins A criteria isolation dimension, then this dimension several times the distance of criteria isolation are needed in between the mold semiconductor regions 12.

[0005] moreover, p mold — a well — n⁺ of a field 5 the mold semiconductor region 11 and n mold — a well — p⁺ of a field 4 Since the base width of face of a lateral parasitism bipolar transistor becomes small and a grounded emitter current amplification factor h_{FE} increases when the isolation dimension between the mold semiconductor regions 12 is not secured enough, latch rise resistance deteriorates.

[0006]

[Problem(s) to be Solved by the Invention] as the technique which can solve the above-mentioned technical problem — the principal plane of the semi-conductor substrate 1 — setting — p mold — a well — a field 5 and n mold — a well — the component separation technology which forms the slot for isolation in the boundary part between fields 4 is known. Said slot for isolation is formed in the depth direction of etching from the principal plane of the semi-conductor substrate 1, and, as for this slot for isolation, an insulating material is embedded. The component separation technology which forms this slot for isolation has the description which can improve insulating separation pressure-proofing, without spoiling a degree of integration, since a distance required for insulating separation is securable in the depth direction of the semi-conductor substrate 1 compared with the selective oxidation technique of the principal plane of the conventional semi-conductor substrate 1, and the so-called LOCOS technique.

[0007] However, the process which embeds an insulating material at the process and isolation Mizouchi who form an isolation slot increases simply, and the number of production processes of semiconductor integrated circuit equipment increases the component separation technology which forms the above-mentioned slot for isolation.

[0008] Moreover, also technically, the component separation technology which forms the above-mentioned slot for isolation is accompanied by difficulty. For example, after forming the slot for isolation in the principal plane of the

THIS PAGE BLANK (USPTO)

semi-conductor substrate 1, the technique which introduces an impurity (channel stopper field) into the side attachment wall of this slot for isolation, and the technique which embeds [in the slot for isolation where width of face differs] an insulating material at homogeneity are accompanied by difficulty, respectively. Moreover, the beveling technique (rounding-off technique) performed in the angular aperture section or the bottom face angle section of the slot for isolation for the purpose of relaxation of stress concentration or electrolysis concentration is similarly accompanied by difficulty.

[0009] it makes as a technical problem that this invention solves such a trouble — having — a semi-conductor substrate and a well — between each of a field, or two or more wells — it aims at offer of the technique which can reduce the number of production processes in the manufacture approach of the semiconductor integrated circuit equipment which forms the slot for isolation between each of a field.

[0010]

[Means for Solving the Problem] This invention is characterized by providing the following process (1) thru/ or a process (3) in the manufacture approach of semiconductor integrated circuit equipment, in order to solve the above-mentioned technical problem.

[0011] (1) While forming in the 1st field of the principal plane of the 1st conductivity-type semi-conductor substrate the 1st slot for alignment targets formed in the depth direction from the principal plane of said semi-conductor substrate In the principal plane of said semi-conductor substrate, into the boundary part between each of said 1st field, the 2nd different field, and the 3rd field contiguous to this 2nd field The process in which a flute width forms the 2nd small slot for isolation compared with said 1st slot, (2) The thermal oxidation film is formed by thermal oxidation processing all over the principal plane of said semi-conductor substrate. the process which embeds said thermal oxidation film to the interior of said 2nd slot at least, and (3), while forming the 1st semiconductor region of the 2nd conductivity type of said semi-conductor substrate and opposite conductivity type in the 2nd field of the principal plane of said semi-conductor substrate or forming this 1st semiconductor region in it The process which forms the 2nd semiconductor region of the 1st conductivity type of the same conductivity type as said semi-conductor substrate in the 3rd field of the principal plane of said semi-conductor substrate.

[0012] Moreover, the process which forms said 1st slot for alignment targets this invention It is the process which forms the 1st slot in the scribe field of said semi-conductor substrate. Said 2nd semiconductor region, It is the process which forms a field. or the process which forms the 2nd semiconductor region and the 3rd semiconductor region — the integrated-circuit formation field of said semi-conductor substrate — a well — the process which forms said 2nd slot for isolation — said semi-conductor substrate and a well — between each components of a field which are alike, respectively and are formed, or said two or more wells — it is characterized by what is been the process which forms the slot which separates electrically between the each components of a field which are alike, respectively and are formed.

[0013] Moreover, this invention is characterized by what said thermal oxidation processing includes for the processing which removes the damage layer of the principal plane of the semi-conductor substrate accompanying formation of said 1st slot for alignment targets, and the 2nd slot for isolation.

[0014]

[Function] In the manufacture approach of said semiconductor integrated circuit equipment, since this invention uses the process which forms the 1st slot for alignment targets used in the case of the mask alignment in a photolithography technique and forms the 2nd slot for isolation at the same process as this process, it can reduce the part and the number of production processes equivalent to the process which forms this 2nd slot for isolation. Moreover, in the manufacture approach of said semiconductor integrated circuit equipment, follow this invention on formation of said 1st slot for alignment targets, and the 2nd slot for isolation. Since the thermal oxidation processing which removes the damage layer of the principal plane of a semi-conductor substrate was used and the thermal oxidation film was embedded to the interior of the 2nd slot for isolation at the same process as this process, the part and the number of production processes equivalent to the process which embeds the thermal oxidation film to the interior of this 2nd slot for isolation are reducible.

[0015]

[Example] Hereafter, the suitable example of this invention is explained based on a drawing.

[0016] The manufacture approach of the semiconductor integrated circuit equipment which is one example of this invention is shown in drawing 1 thru/ or drawing 7 (important section sectional view shown for every production process).

[0017] First, p mold (or n mold) semi-conductor substrate (semiconductor wafer) 1 which consists of single crystal silicon is prepared.

[0018] next, it is shown in drawing 1 — as — the principal plane of the semi-conductor substrate 1 — setting — a scribe field (inside of drawing 1 , left-hand side) — the object for alignment targets — slot 2S are formed. and this object for alignment targets — the same process as the process which forms slot 2S — setting — the well of an integrated-circuit formation field — isolation slot 2W are formed in the field (the inside of drawing 1 , center of right-hand side) equivalent to the boundary part between fields.

[0019] said object for alignment targets — slot 2S are used as a mark for the alignment of a manufacture mask in a photolithography technique. moreover, the object for alignment targets — slot 2S are formed in the scribe field which does not affect formation of the component in an integrated-circuit formation field. therefore — since this scribe field is eliminated after a scribe (dicing) process — in principle — the object for alignment targets — slot 2S do not exist.

THIS PAGE BLANK (USPTO)

[0020] said object for isolation — p mold with which slot 2W are formed at a back process — a well — the component formed in a field, and n mold — a well — insulating separation of between the components formed in a field is carried out, and it is used in order to heighten the insulating separative power of a parenthesis. the object for isolation — slot 2W — fundamental — the object for alignment targets — since it is formed at the same process as the process which forms slot 2S, it can form, without increasing the number of production processes.

[0021] said object for alignment targets — slot 2S and the object for isolation — each of slot 2W uses the etching mask formed with the photolithography technique, and forms it by anisotropic etching. the object for alignment targets — slot 2S — for example, it forms with the flute width of 2.0 micrometers, and forms in a depth of 0.5 micrometers from the principal plane of the semi-conductor substrate 1 so that it may be easy to carry out alignment. the object for isolation — slot 2W are formed with the flute width of 0.5 micrometers, in order to decrease for example, isolation area, and they are formed in a depth of 0.5 micrometers from the principal plane of the semi-conductor substrate 1.

[0022] Next, thermal oxidation down stream processing is given all over the principal plane of the semi-conductor substrate 1, and as shown in drawing 2, the oxidation silicon film 3 is formed in order to remove the damage layer of the surface layer generated based on said anisotropic etching. This oxidation silicon film 3 is formed by 500nm thickness. the oxidation silicon film 3 in this thickness — the object for isolation — the interior of slot 2W is almost embedded, and the front face on slot 2W for isolation is formed evenly. moreover, the oxidation silicon film 3 — the object for alignment targets — the front face on slot 2S for alignment targets is formed evenly, without embedding the interior of slot 2S.

[0023] Next, isotropic etching is performed all over the front face of said oxidization silicon film 3, the so-called etchback processing is performed, the amount of over etching is added, and a part for the thickness used as a layer at the thickness of said oxidization silicon film 3 is etched (refer to drawing 3). this etchback processing — said object for isolation — inside slot 2W, the oxidation silicon film 3 can be saved alternatively. the principal plane top of the other semi-conductor substrate 1, and the object for alignment targets — each oxidation silicon film 3 inside slot 2S is removed. Said etching is performed by HF. moreover, the object for isolation — for making flat the front face of the oxidization silicon film 3 embedded to the interior of slot 2W, the amount of over etching is lessened.

[0024] said object for isolation — since it is formed at the process as the process which forms the oxidization silicon film 3 for removing a damage layer that the oxidization silicon film 3 embedded to the interior of slot 2W is the same, without it increases a production process — the object for isolation — embed the oxidization silicon film 3 to the interior of slot 2W — **.

[0025] Next, although a sign does not attach as thermal oxidation processing is performed all over the principal plane of the semi-conductor substrate 1 and it is shown in drawing 3, the oxidation silicon film is formed on the principal plane of the semi-conductor substrate 1. This oxidization silicon film is formed by 50nm thickness for the purpose of relaxation of the damage in the case of ion implantation, prevention of heavy metal contamination, etc.

[0026] next, it is shown in drawing 4 — as — the principal plane of the semi-conductor substrate 1 — setting — n mold — a well — while introducing alternatively 4 Ns (for example, P+) of n mold impurities into the formation field of a field — p mold — a well — p mold impurity (for example, B+) 5P are introduced into the formation field of a field. On the occasion of 4 Ns of n mold impurities, and each installation of p mold impurity 5P, the mask for installation formed with the photolithography technique is used respectively. 4 Ns of n mold impurities are 1.5×10^{13} atoms/cm². In a dose, it is introduced with the energy of 130KeV. p mold impurity 5P are 1.2×10^{13} atoms/cm². In a dose, it is introduced with the energy of 40KeV. in addition, a scribe field — this example — setting — fundamental — a well — the impurity for field formation is not introduced.

[0027] next, the semi-conductor substrate 1 — thermal diffusion processing — giving — 4 Ns of said n mold impurities — stretching diffusion — giving — n mold — a well — while forming a field 4 — p mold impurity 5P — stretching diffusion — giving — p mold — a well — a field 5 is formed. Thermal diffusion processing is performed at 1100 degrees C for about 20 hours. said n mold — a well — a field 4 and p mold — a well — if each of a field 5 is formed — the so-called twin — a well — structure is formed (refer to drawing 5).

[0028] Next, the oxidation silicon film which remains on the principal plane of the semi-conductor substrate 1 is removed, and the oxidation silicon film 19 is newly formed by thermal oxidation processing. This oxidation silicon film 19 is formed by 20nm thickness.

[0029] Next, a silicon nitride film 20 is formed the whole surface on the front face of said oxidation silicon film 19, and said silicon nitride film 20 is removed except for the silicon nitride film 20 of a component formation field, and the silicon nitride film 20 of a scribe field. A silicon nitride film 20 is deposited with a CVD method, and is formed by 15nm thickness. The etching mask formed with a photolithography technique is used for this silicon nitride film 20, and pattern NINGU is carried out by anisotropic etching. Said saved silicon nitride film 20 is used as an anti-oxidation mask (refer to drawing 5).

[0030] said object for isolation — since the front face of the semi-conductor substrate 1 oxidizes and it is eaten in case slot 2W embed the oxidation silicon film 3 to the interior, a flute width is formed in about 1 micrometer. moreover — especially — p mold — a well — since it is easy to generate an inversion layer (leak pass) along with the field insulator layer formed behind, it becomes indispensable forming [of a channel stopper field] a field. therefore — if the silicon nitride film 20 as an anti-oxidation, mask secures the dimension (from the edge of a silicon nitride film 20 to the slot 2 for isolation the dimension of one side to the opening edge of W 0.5 micrometers) of 0.5 micrometers for formation of a channel stopper field — a silicon nitride film 20 — a well — in the boundary part of a field, it is set as about 2.0 micrometers.

THIS PAGE BLANK (USPTO)

[0031] next, it is shown in drawing 5 — as — p mold — a well — in the principal plane of a field 5, p mold impurity (for example, B+) 8P are introduced into the formation field of a channel stopper field. p mold impurity 8P use the introductory mask 21 formed with the photolithography technique shown with a broken line for said silicon nitride film 20 and drawing 5, and are introduced into them. p mold impurity 8P are 3.0×10^{13} atoms/cm². In a dose, it is introduced with the energy of 30KeV.

[0032] Next, after removing said introductory mask 21, said silicon nitride film 20 is used as an anti-oxidation mask, thermal oxidation processing is performed, and the field insulator layer (oxidation silicon film) 6 is formed. This field insulator layer 6 is formed by 500nm thickness. Moreover, since this thermal oxidation processing follows heat on coincidence, it extends to said p mold impurity 8P, diffusion is performed, and p mold channel stopper field 8 is formed (refer to drawing 6).

[0033] Component isolation construction is completed by forming this p mold channel stopper field 8. said n mold — a well — a field 4 and p mold — a well — the boundary part between each of a field 5 — the object for isolation — the component isolation construction formed in the oxidization silicon film 3, the field insulator layer 6, and p mold channel stopper field 8 which were embedded to slot 2W and the interior of those is constituted. this oxidation silicon film 3 and the field insulator layer 6 — a well — the between separation insulator layer 7 is constituted. said n mold — a well — among two or more components formed in a field 4, the component isolation construction formed by the field insulator layer 6 is constituted. moreover, p mold — a well — among two or more components formed in a field 5, the component isolation construction formed in the field insulator layer 6 and p mold channel stopper field 8 is constituted.

[0034] And as shown in drawing 6, the silicon nitride film 20 used as an anti-oxidation mask is removed.

[0035] Next, as shown in usual at drawing 7 according to a CMOS program, sequential formation of each of n channel MOS FETQn, p channel MOS FETQp, an interlayer insulation film 13, the connection hole 14, and wiring (for example, aluminum-Cu alloy) 15 is carried out.

[0036] Said n channel MOS FETQn is formed by carrying out sequential formation of each of gate dielectric film 9, the gate electrode 10, a low-concentration n-type-semiconductor field, a sidewall spacer, and the high-concentration n-type-semiconductor field 11. P channel MOS FETQp is formed by carrying out sequential formation of each of gate dielectric film 9, the gate electrode 10, a low-concentration p type semiconductor field, a sidewall spacer, and the high-concentration p type semiconductor field 12. In this example, each of each of n channel MOS FETQn and p channel MOS FETQp consists of LDD (Lightly Doped Drain) structures.

[0037] and said wiring 15 forms — having (the last protective coat being formed in fact) — in a scribe field, scribe processing should do the semi-conductor substrate 1 — it is formed as a semiconductor chip.

[0038] In addition, this invention is not limited to said example and can be variously changed in the range which does not deviate from the summary.

[0039] for example, this invention — a single — a well — it is applicable to the semiconductor integrated circuit equipment which has structure. that is, the well in which, as for this invention, a component is formed — the slot for isolation is formed in the boundary part between a field and the semi-conductor substrate with which a component is formed similarly.

[0040] Moreover, this invention is not limited to CMOS but can be applied to the semiconductor integrated circuit equipment which has an n channel, p channel MOS FET or CMOS, and a bipolar transistor.

[0041]

[Effect of the Invention] As explained above, since this invention uses the process which forms the 1st slot for alignment targets used in the case of the mask alignment in a photolithography technique and forms the 2nd slot for isolation at the same process as this process, it can reduce the part and the number of production processes equivalent to the process which forms this 2nd slot for isolation in the manufacture approach of semiconductor integrated circuit equipment.

[0042] Moreover, in the manufacture approach of semiconductor integrated circuit equipment, since this invention used the thermal-oxidation processing accompanying formation of the 1st slot for alignment targets, and the 2nd slot for isolation which removes the damage layer of the principal plane of a semi-conductor substrate and embedded the thermal-oxidation film to the interior of the 2nd slot for isolation at the same process as this process, it can reduce the part and the number of production processes equivalent to the process which embeds the thermal-oxidation film to the interior of this 2nd slot for isolation.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is an important section sectional view in the 1st process which shows the manufacture approach of the semiconductor integrated circuit equipment which is one example of this invention.

[Drawing 2] It is an important section sectional view in the 2nd process.

[Drawing 3] It is an important section sectional view in the 3rd process.

[Drawing 4] It is an important section sectional view in the 4th process.

[Drawing 5] It is an important section sectional view in the 5th process.

[Drawing 6] It is an important section sectional view in the 6th process.

[Drawing 7] It is an important section sectional view in the 7th process.

[Drawing 8] It is the important section sectional view of conventional semiconductor integrated circuit equipment.

[Description of Notations]

1 Semi-conductor Substrate

2S, 2W Slot

3 19 Oxidation silicon film

4 and 5 a well — field

6 Field Insulator Layer

7 Well — between Separation Insulator Layer

8 Channel Stopper Field

9 Gate Dielectric Film

10 Gate Electrode

11 12 Semiconductor region

20 Silicon Nitride Film

Q MOSFET

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283302

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/76
21/8238
27/092

H 0 1 L 21/ 76 N
27/ 08 3 2 1 N

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-67211

(22) 出願日 平成6年(1994)4月5日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 木村 吉孝

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

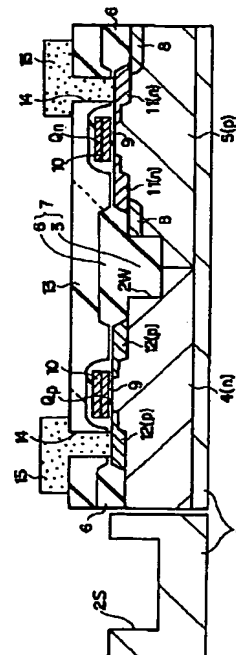
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【目的】 半導体基板1、ウエル領域4若しくは5の夫々の間、又は複数のウエル領域4、5の夫々の間に素子分離用溝2Wを形成する半導体集積回路装置の製造方法において、製造工程数を削減する。

【構成】 半導体集積回路装置の製造方法において、半導体基板1の主面の第1領域にアライメントターゲット用第1溝2Sを形成し、他の第2領域、第3領域の夫々の間の境界部分に前記第1溝に比べて溝幅が小さい素子分離用第2溝2Wを形成する。前記半導体基板1の主面全面に熱酸化処理によって熱酸化膜を形成し、少なくとも前記第2溝の内部に前記熱酸化膜3を埋込む。前記半導体基板の主面の第2領域に前記半導体基板と反対導電型のウエル領域4を形成する。又はこの前記ウエル領域を形成するとともに前記半導体基板の主面の第3領域に前記半導体基板と同一導電型のウエル領域5を形成する。



【特許請求の範囲】

【請求項1】 下記工程(1)乃至工程(3)を具備したことを特徴とする半導体集積回路装置の製造方法。

(1) 第1導電型半導体基板の主面の第1領域に、前記半導体基板の主面から深さ方向に形成された、アライメントターゲット用第1溝を形成するとともに、前記半導体基板の主面において、前記第1領域と異なる第2領域、この第2領域に隣接する第3領域の夫々の間の境界部分に、前記第1溝に比べて溝幅が小さい素子分離用第2溝を形成する工程。

(2) 前記半導体基板の主面全面に熱酸化処理によって熱酸化膜を形成し、少なくとも前記第2溝の内部に前記熱酸化膜を埋込む工程。

(3) 前記半導体基板の主面の第2領域に、前記半導体基板と反対導電型の第2導電型第1半導体領域を形成する、又はこの第1半導体領域を形成するとともに、前記半導体基板の主面の第3領域に、前記半導体基板と同一導電型の第1導電型第2半導体領域を形成する工程。

【請求項2】 前記請求項1に記載される、アライメントターゲット用第1溝を形成する工程は、前記半導体基板のスクライプ領域に第1溝を形成する工程であり、前記第2半導体領域、又は第2半導体領域及び第3半導体領域を形成する工程は、前記半導体基板の集積回路形成領域にウエル領域を形成する工程であり、前記素子分離用第2溝を形成する工程は、前記半導体基板、ウエル領域の夫々に形成される各々の素子間、又は前記複数のウエル領域の夫々に形成される各々素子間を電氣的に分離する溝を形成する工程であることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 前記請求項1又は請求項2に記載される、熱酸化処理は、前記アライメントターゲット用第1溝及び素子分離用第2溝の形成に伴う、半導体基板の主面のダメージ層を除去する処理を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、半導体集積回路装置の素子間分離技術に適用して有効な技術に関する。

【0002】

【従来の技術】 半導体素子やこの半導体素子を集積化した回路は、素子特性の向上や回路特性の向上を目的として、微細化され、高集積化が図られる。半導体基板(製造中においては半導体ウエーハ、スクライプ処理後は半導体チップ)上において、複数の素子(能動素子)間には、素子分離技術によって、互いに電氣的に絶縁分離される。素子分離技術の重要な要件は、分離に必要な面積を最小限に小さくし、半導体基板の主面上において素子の配置面積を有効に確保することである。

【0003】 ところで、低消費電力、動作速度の高速化

等に最適なCMOS(相補型MOSFET)を備えた半導体集積回路装置は、図8(要部断面図)に示すように、n型ウエル領域4、p型ウエル領域5の夫々の間の境界を介在し、素子間が分離される。具体的には、p型ウエル領域5の主面に形成されたn⁺型半導体領域(nチャンネルMOSFETのソース領域又はドレイン領域)11とn型ウエル領域4の主面に形成されたp⁺型半導体領域(pチャンネルMOSFETのソース領域又はドレイン領域)12との間が、フィールド絶縁膜(熱酸化膜)を介在し、絶縁分離される。図8において、符号1はp型半導体基板(単結晶珪素基板)、符号8は反転しやすい領域に形成されたp型チャンネルストップ領域である。

【0004】 しかし、この種の素子分離構造は、p型ウエル領域5、n型ウエル領域4の夫々の境界近傍において、異なる導電型のキャリア密度が相互に相殺され、キャリア密度が低くなる(ウエル領域の不純物濃度が低くなる)。つまり、p型ウエル領域5のn⁺型半導体領域11とn型ウエル領域4のp⁺型半導体領域12との間の絶縁分離耐圧が、十分に確保できない。絶縁分離耐圧を十分に確保するには、p型ウエル領域5の複数の隣接するn⁺型半導体領域11間、又はn型ウエル領域4の複数の隣接するp⁺型半導体領域12間を基準離隔寸法とすれば、この基準離隔寸法の数倍の距離が必要となる。

【0005】 また、p型ウエル領域5のn⁺型半導体領域11とn型ウエル領域4のp⁺型半導体領域12との間の離隔寸法が充分確保されていない場合、横方向の寄生バイポーラトランジスタのベース幅が小さくなり、エミッタ接地電流増幅率 h_{FE} が増大するので、ラッチアップ耐性が劣化する。

【0006】

【発明が解決しようとする課題】 上記課題を解決できる技術として、半導体基板1の主面において、p型ウエル領域5とn型ウエル領域4との間の境界部分に素子分離用溝を形成する、素子分離技術が知られている。前記素子分離用溝は半導体基板1の主面から深さ方向にエッチングによって形成され、この素子分離用溝は絶縁物が埋込まれる。この素子分離用溝を形成する素子分離技術は、従来の半導体基板1の主面の選択酸化技術、所謂LOCOS技術に比べて、半導体基板1の深さ方向に絶縁分離に必要な距離を確保できるので、集積度を損なうことなく、絶縁分離耐圧を向上できる特徴がある。

【0007】 しかしながら、前述の素子分離用溝を形成する素子分離技術は、素子分離溝を形成する工程及び素子分離溝内に絶縁物を埋込む工程が単純に増加し、半導体集積回路装置の製造工程数が増加する。

【0008】 また、前述の素子分離用溝を形成する素子分離技術は、技術的にも困難さを伴う。例えば、半導体基板1の主面に素子分離用溝を形成した後この素子分

離用溝の側壁に不純物（チャンネルストッパ領域）を導入する技術、幅の異なる素子分離用溝に絶縁物を均一に埋込む技術は夫々困難さを伴う。また、応力集中や電解集中の緩和を目的として、素子分離用溝の開口角部若しくは底面角部に行う面取り技術（丸め技術）は、同様に困難さを伴う。

【0009】本発明は、このような問題点を解決することを課題としてなされたものであり、半導体基板、ウェル領域の夫々の間、又は複数のウェル領域の夫々の間に素子分離用溝を形成する半導体集積回路装置の製造方法において、製造工程数を削減できる技術の提供を目的とする。

【0010】

【課題を解決するための手段】本発明は、上記課題を解決するために、半導体集積回路装置の製造方法において、下記工程（1）乃至工程（3）を具備したことを特徴とする。

【0011】（1）第1導電型半導体基板の主面の第1領域に、前記半導体基板の主面から深さ方向に形成された、アライメントターゲット用第1溝を形成するとともに、前記半導体基板の主面において、前記第1領域と異なる第2領域、この第2領域に隣接する第3領域の夫々の間の境界部分に、前記第1溝に比べて溝幅が小さい素子分離用第2溝を形成する工程、（2）前記半導体基板の主面全面に熱酸化処理によって熱酸化膜を形成し、少なくとも前記第2溝の内部に前記熱酸化膜を埋込む工程、（3）前記半導体基板の主面の第2領域に、前記半導体基板と反対導電型の第2導電型第1半導体領域を形成する、又はこの第1半導体領域を形成するとともに、前記半導体基板の主面の第3領域に、前記半導体基板と同一導電型の第1導電型第2半導体領域を形成する工程。

【0012】また、本発明は、前記アライメントターゲット用第1溝を形成する工程が、前記半導体基板のスクライプ領域に第1溝を形成する工程であり、前記第2半導体領域、又は第2半導体領域及び第3半導体領域を形成する工程が、前記半導体基板の集積回路形成領域にウェル領域を形成する工程であり、前記素子分離用第2溝を形成する工程が、前記半導体基板、ウェル領域の夫々に形成される各々の素子間、又は前記複数のウェル領域の夫々に形成される各々素子間を電氣的に分離する溝を形成する工程である、ことを特徴とする。

【0013】また、本発明は、前記熱酸化処理が、前記アライメントターゲット用第1溝及び素子分離用第2溝の形成に伴う、半導体基板の主面のダメージ層を除去する処理を含む、ことを特徴とする。

【0014】

【作用】本発明は、前記半導体集積回路装置の製造方法において、フォトリソグラフィ技術におけるマスク合わせの際に使用する、アライメントターゲット用第1溝を

形成する工程を利用し、この工程と同一工程で素子分離用第2溝を形成するので、この素子分離用第2溝を形成する工程に相当する分、製造工程数を削減できる。また、本発明は、前記半導体集積回路装置の製造方法において、前記アライメントターゲット用第1溝及び素子分離用第2溝の形成に伴う、半導体基板の主面のダメージ層を除去する熱酸化処理を利用し、この工程と同一工程で素子分離用第2溝の内部に熱酸化膜を埋込んだので、この素子分離用第2溝の内部に熱酸化膜を埋込む工程に相当する分、製造工程数を削減できる。

【0015】

【実施例】以下、本発明の好適な実施例について、図面に基づき説明する。

【0016】本発明の一実施例である半導体集積回路装置の製造方法について、図1乃至図7（各製造工程毎に示す要部断面図）に示す。

【0017】まず、単結晶珪素からなるp型（又はn型）半導体基板（半導体ウェーハ）1を準備する。

【0018】次に、図1に示すように、半導体基板1の主面において、スクライプ領域（図1中、左側）にアライメントターゲット用溝2Sを形成する。そして、このアライメントターゲット用溝2Sを形成する工程と同一工程において、集積回路形成領域のウェル領域間の境界部分に相当する領域（図1中、右側中央）に素子分離溝2Wを形成する。

【0019】前記アライメントターゲット用溝2Sは、フォトリソグラフィ技術において、製造マスクの位置合わせ用の目印として使用される。また、アライメントターゲット用溝2Sは集積回路形成領域での素子の形成に影響を及ぼすことがないスクライプ領域に形成されている。したがって、スクライプ（ダイシング）工程以後はこのスクライプ領域が排除されるので、原則的にアライメントターゲット用溝2Sは存在しない。

【0020】前記素子分離用溝2Wは、後工程で形成されるp型ウェル領域に形成される素子とn型ウェル領域に形成される素子との間を絶縁分離し、かつこの絶縁分離能力を高めるために使用される。素子分離用溝2Wは、基本的にはアライメントターゲット用溝2Sを形成する工程と同一工程で形成されるので、製造工程数を増加することなく形成できる。

【0021】前記アライメントターゲット用溝2S、素子分離用溝2Wの夫々は、フォトリソグラフィ技術で形成したエッチングマスクを使用し、異方性エッチングにより形成する。アライメントターゲット用溝2Sは、例えばアライメントしやすいように、2.0 μ mの溝幅で形成し、半導体基板1の主面から0.5 μ mの深さで形成する。素子分離用溝2Wは、例えば素子分離面積を減少するために0.5 μ mの溝幅で形成し、半導体基板1の主面から0.5 μ mの深さで形成する。

【0022】次に、前記異方性エッチングに基づいて発

生する表面層のダメージ層を除去する目的で、半導体基板1の主面全面に熱酸化処理工程を施し、図2に示すように、酸化珪素膜3を形成する。この酸化珪素膜3は、例えば500nmの膜厚で形成される。この膜厚における酸化珪素膜3は、素子分離用溝2Wの内部がほとんど埋込まれ、かつ素子分離用溝2W上の表面が平坦に形成される。また、酸化珪素膜3は、アライメントターゲット用溝2Sの内部が埋込まれずに、アライメントターゲット用溝2S上の表面が平坦に形成される。

【0023】次に、前記酸化珪素膜3の表面の全面に等10 方性エッチングを行い、所謂エッチバック処理を行い、オーバーエッチング量を加算し、前記酸化珪素膜3の膜厚に層とする膜厚分のエッチングを行う(図3参照)。このエッチバック処理によって、前記素子分離用溝2Wの内部には酸化珪素膜3を選択的に残置できる。それ以外の半導体基板1の主面上、アライメントターゲット用溝2Sの内部の夫々の酸化珪素膜3は除去される。前記エッチングは例えばHFで行われる。また、素子分離用溝2Wの内部に埋込まれた酸化珪素膜3の表面を平坦にするにはオーバーエッチング量を少なくする。

【0024】前記素子分離用溝2Wの内部に埋込まれる酸化珪素膜3はダメージ層を除去するための酸化珪素膜3を形成する工程と同一工程で形成されるので、製造工程を増加することなく、素子分離用溝2Wの内部に酸化珪素膜3を埋込める。

【0025】次に、半導体基板1の主面全面に熱酸化処理を施し、図3に示すように、符号は付けないが、半導体基板1の主面上に酸化珪素膜を形成する。この酸化珪素膜は、イオン打込みの際のダメージの緩和、重金属汚染の防止等を目的として、例えば50nmの膜厚で形成30 される。

【0026】次に、図4に示すように、半導体基板1の主面において、n型ウエル領域の形成領域にn型不純物(例えばP+)4Nを選択的に導入するとともに、p型ウエル領域の形成領域にp型不純物(例えばB+)5Pを導入する。n型不純物4N、p型不純物5Pの夫々の導入に際しては、各々、フォトリソグラフィ技術で形成した導入用マスクを使用する。n型不純物4Nは、例えば、 $1.5 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量において、130KeVのエネルギーで導入される。p型不純物5P40 は、例えば、 $1.2 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量において、40KeVのエネルギーで導入される。なお、スクライプ領域は、本実施例において、基本的にウエル領域形成のための不純物が導入されない。

【0027】次に、半導体基板1に熱拡散処理を施し、前記n型不純物4Nに引伸し拡散を施してn型ウエル領域4を形成するとともに、p型不純物5Pに引伸し拡散を施してp型ウエル領域5を形成する。熱拡散処理は、例えば1100℃で20時間程度行う。前記n型ウエル領域4、p型ウエル領域5の夫々が形成されると、所謂50

ツインウエル構造が形成される(図5参照)。

【0028】次に、半導体基板1の主面上に残っている酸化珪素膜を除去し、新たに熱酸化処理によって酸化珪素膜19を形成する。この酸化珪素膜19は例えば20nmの膜厚で形成する。

【0029】次に、前記酸化珪素膜19の表面上の全面に窒化珪素膜20を形成し、素子形成領域の窒化珪素膜20、スクライプ領域の窒化珪素膜20を除いて、前記窒化珪素膜20を除去する。窒化珪素膜20は、例えば、CVD法で堆積され、15nmの膜厚で形成される。この窒化珪素膜20は、フォトリソグラフィ技術で形成されるエッチングマスクを使用し、異方性エッチングでパターンニングされる。前記残置された窒化珪素膜20は耐酸化マスクとして使用される(図5参照)。

【0030】前記素子分離用溝2Wは、その内部に酸化珪素膜3を埋込む際、半導体基板1の表面が酸化され食われるので、溝幅は約1μm程度に形成される。また、特にp型ウエル領域は、後に形成されるフィールド絶縁膜に沿って反転層(リークパス)が発生しやすいので、20 チャネルストッパ領域の形成が必須となる。したがって、耐酸化マスクとしての窒化珪素膜20は、チャネルストッパ領域の形成のために例えば0.5μmの寸法(窒化珪素膜20の端から素子分離用溝2Wの開口端までの片側の寸法に0.5μm)を確保すると、窒化珪素膜20はウエル領域の境界部分において約2.0μmに設定される。

【0031】次に、図5に示すように、p型ウエル領域5の主面において、チャネルストッパ領域の形成領域にp型不純物(例えば、B+)8Pを導入する。p型不純物8Pは、前記窒化珪素膜20及び図5に破線で示すフォトリソグラフィ技術で形成した導入マスク21を使用し、導入される。p型不純物8Pは、例えば $3.0 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量において、30KeVのエネルギーで導入される。

【0032】次に、前記導入マスク21を除去した後、前記窒化珪素膜20を耐酸化マスクとして使用し、熱酸化処理を行い、フィールド絶縁膜(酸化珪素膜)6を形成する。このフィールド絶縁膜6は、例えば500nmの膜厚で形成する。また、この熱酸化処理は同時に熱を伴うので、前記p型不純物8Pに引伸し拡散が施され、p型チャネルストッパ領域8が形成される(図6参照)。

【0033】このp型チャネルストッパ領域8を形成することにより、素子分離構造が完成する。前記n型ウエル領域4、p型ウエル領域5の夫々の間の境界部分には、素子分離用溝2W、その内部に埋込まれた酸化珪素膜3、フィールド絶縁膜6及びp型チャネルストッパ領域8で形成される素子分離構造が構成される。この酸化珪素膜3及びフィールド絶縁膜6はウエル間分離絶縁膜7を構成する。前記n型ウエル領域4に形成される複数

の素子間には、フィールド絶縁膜6で形成される素子分離構造が構成される。また、p型ウエル領域5に形成される複数の素子間には、フィールド絶縁膜6及びp型チャンネルストッパ領域8で形成される素子分離構造が構成される。

【0034】そして、図6に示すように、耐酸化マスクとして使用した窒化珪素膜20を除去する。

【0035】次に、通常にCMOSプログラムにしたがい、図7に示すようにnチャンネルMOSFETQn、pチャンネルMOSFETQp、層間絶縁膜13、接続孔14、配線（例えばAl-Cu合金）15の夫々を順次形成する。

【0036】前記nチャンネルMOSFETQnは、ゲート絶縁膜9、ゲート電極10、低濃度のn型半導体領域、サイドウォールスペーサ、高濃度のn型半導体領域11の夫々を順次形成することにより形成される。pチャンネルMOSFETQpは、ゲート絶縁膜9、ゲート電極10、低濃度のp型半導体領域、サイドウォールスペーサ、高濃度のp型半導体領域12の夫々を順次形成することにより形成される。本実施例において、nチャンネルMOSFETQn、pチャンネルMOSFETQpの夫々はいずれもLDD（Lightly Doped Drain）構造で構成される。

【0037】そして、前記配線15が形成される（実際には最終保護膜が形成される）と、半導体基板1はスクライプ領域においてスクライプ処理がなされ、半導体チップとして形成される。

【0038】なお、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更できる。

【0039】例えば、本発明は、シングルウエル構造を有する半導体集積回路装置に適用できる。つまり、本発明は、素子が形成されるウエル領域と同様に素子が形成される半導体基板との間の境界部分に素子分離用溝が形成される。

【0040】また、本発明は、CMOSに限定されず、nチャンネル若しくはpチャンネルMOSFET、或いはCMOS及びバイポーラトランジスタを有する半導体集積回路装置に適用できる。

【0041】

【発明の効果】以上説明したように、本発明は、半導体集積回路装置の製造方法において、フォトリソグラフィ技術におけるマスク合わせの際に使用する、アライメントターゲット用第1溝を形成する工程を利用し、この工程と同一工程で素子分離用第2溝を形成するので、この素子分離用第2溝を形成する工程に相当する分、製造工程数を削減できる。

【0042】また、本発明は、半導体集積回路装置の製造方法において、アライメントターゲット用第1溝及び素子分離用第2溝の形成に伴う、半導体基板の主面のダメージ層を除去する熱酸化処理を利用し、この工程と同一工程で素子分離用第2溝の内部に熱酸化膜を埋込んだので、この素子分離用第2溝の内部に熱酸化膜を埋込む工程に相当する分、製造工程数を削減できる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造方法を示す第1工程における要部断面図である。

【図2】第2工程における要部断面図である。

【図3】第3工程における要部断面図である。

【図4】第4工程における要部断面図である。

【図5】第5工程における要部断面図である。

【図6】第6工程における要部断面図である。

【図7】第7工程における要部断面図である。

【図8】従来の半導体集積回路装置の要部断面図である。

【符号の説明】

1 半導体基板

2 S、2 W 溝

3、19 酸化珪素膜

4、5 ウエル領域

6 フィールド絶縁膜

7 ウエル間分離絶縁膜

8 チャンネルストッパ領域

9 ゲート絶縁膜

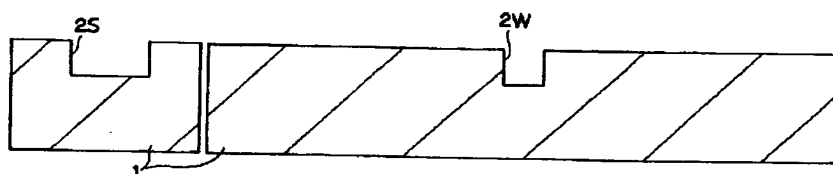
10 ゲート電極

11、12 半導体領域

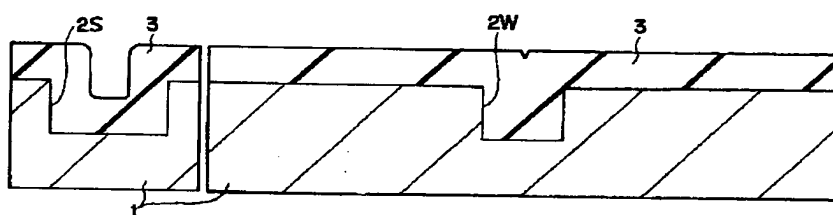
20 窒化珪素膜

Q MOSFET

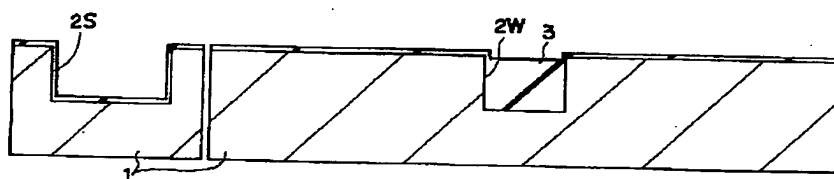
【図1】



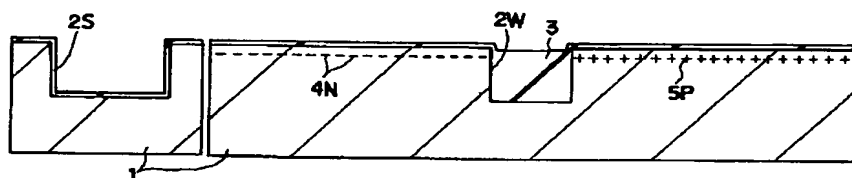
【図2】



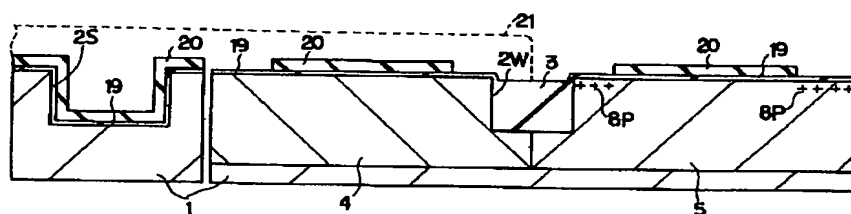
【図3】



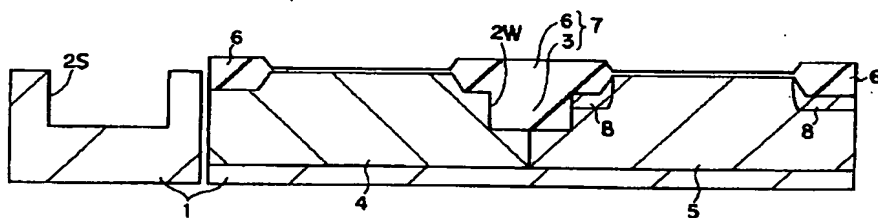
【図4】



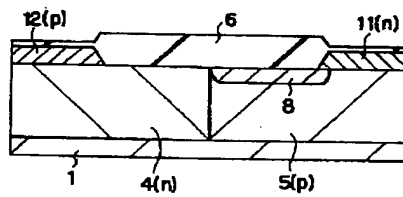
【図5】



【図6】



Age Group	2002	2004	2006
18-29	~85	~88	~90
30-49	~75	~78	~80
50-69	~65	~68	~70
70+	~55	~58	~60



(51)Int.Cl.⁶
H O 1 L 27/08

FI

技術表示箇所